

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216752  
(43)Date of publication of application : 05.08.1994

(51)Int.Cl. H03K 19/0185  
H03K 17/10  
H03K 17/687  
H03K 19/003

(21)Application number : 05-303313 (71)Applicant : SUN MICROSYST INC  
(22)Date of filing : 10.11.1993 (72)Inventor : ROGERS ALAN C

(30)Priority  
Priority number : 92 974100 Priority date : 10.11.1992 Priority country : US

(54) VOLTAGE INTERFACE CIRCUIT FOR INTEGRATED CIRCUIT, AND METHOD FOR INTERFACING INTEGRATED CIRCUIT

(57)Abstract:

**PURPOSE:** To interface a low voltage circuit to a high voltage environment by adopting the new n-type well bias of separate circuit and MOSTr for a voltage interface circuit in order to drive the high voltage environment in the fluctuation of low voltage.

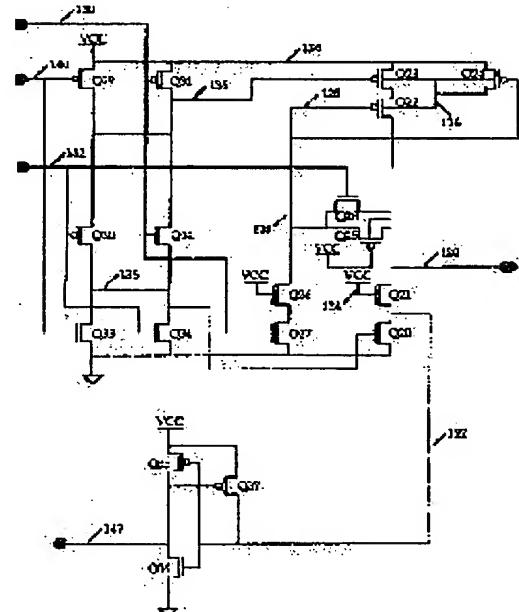
**CONSTITUTION:** This voltage interface circuit for interfacing an integrated circuit, which is operated by a VCC power supply voltage, to the higher voltage environment can drive the higher voltage circuit or bus recognizing the fluctuation of VCC voltage through the integrated circuit. The voltage interface circuit is composed of a three-state control part, output pull-up part, output pull-up control part and input part and the output pull-up part is composed of pchTrQ23 and pchTrQ24. The n-type well of TrQ22 is floated. When an n-type well 126 is to be connected to the VCC, with the increase of voltage at an output node 120 toward 5 V, a current increasing p-n junction between the drain of TrQ22 and the n-type well is let flow, the voltage at an n-type well 126 is increased higher than Vcc and the junction disconnection of Q22-Q24 keeps a functional state.

## LEGAL STATUS

[Date of request for examination] 10.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or



[application converted registration]

[Date of final disposal for application]

[Patent number] 3440454

[Date of registration] 20.06.2003

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-216752

(43)公開日 平成6年(1994)8月5日

(5)Int.Cl.\* H 03 K 19/0185 17/10 17/687

発明記号 H 03 K 9184-5J 8841-5J 7436-5J

内盛理番号 F 1 19/00 11/687

H 03 K 10 1 B F

基査請求 未請求 請求項の数3 FD (全9頁) 最終頁に於く

(21)出願番号 特願平5-303313 (71)出願人 サン・マイクロシステムズ・インコーポレーテッド

(22)出願日 平成5年(1993)11月10日 (31)優先権主張番号 9 7 4, 1 0 0 (32)優先日 1992年11月10日 (33)優先権主張国 米国(US)

(72)発明者 アラン・シイ・ロジャーズ (73)発明者 アラン・シイ・ロジャーズ ニュウ・2550

州・サンタバーナード・ガルシア アベニュ・アルト・ローマ フィアード・

(74)代理人 弁理士 山川 政樹

(54)【発明の名称】集積回路用電圧インタフェース回路および集積回路をインタフェースする方法

(57)【要約】  
【目的】低電圧トランジスタのみを含んでいる低電圧集積回路を高電圧環境へインタフェースを提供する。

【構成】低電圧の振れにおいて高電圧環境を駆動するため、電圧インタフェース回路は分離回路とMOSトランジスタの新規なn井戸バイアスを採用する。高電圧の振れにおいて高電圧環境を駆動するために、電圧インタフェース回路は、高電圧を供給されるバイアス・バッファ・トランジスタをバイアスするためのバイアス回路を採用する。応用の例として、電圧インタフェース・バッファは3ボルトまたは3.3ボルト集積回路チップがTTLとCMOS電圧レベルを駆動することを可能にする。更に、電圧インタフェース・バッファは2ボルト集積回路チップがTTI電圧レベルを駆動することを可能にする。

(55)【請求項1】第1の電源電圧(VCC)とその電圧より高い第2の電源電圧(VCC\*)へ結合され、VCC\*とVCCの差にほぼ等しいバイアス信号を発生するバイアス発生器回路と、VCC\*にほぼ等しい電圧の振れを持つバッド・ノードへ結合され、バッド・ノードをVCC\*電圧の振れへ驱动し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する出力回路と、バッド・ノード上の電圧を検出し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する入力回路と、

(56)【請求項2】高い電圧の振れを持つバッド・ノードへ結合され、バッド・ノードを低い電圧へ驱动し、集積回路をバッド・ノードの高い電圧から分離する出力回路と、バッド・ノードへ結合され、バッド・ノードの高い電圧の振れから分離する出力回路と、

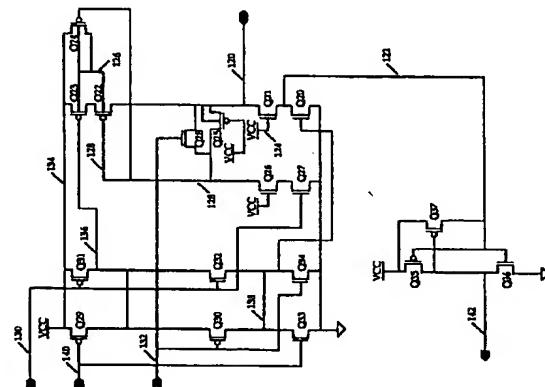
(57)【請求項3】第1の電源電圧(VCC)とその電圧より高い第2の電源電圧(VCC\*)の差にほぼ等しいバイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する過程と、バッド・ノードをVCC\*電圧の振れへ驱动し、その間にバイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する過程と、バッド・ノード上の電圧を検出し、その間にバイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する過程と、

(58)【請求項4】第1の電源電圧(VCC)で動作する集積回路をインタフェースする方法。

【発明の詳細な説明】

【0001】【産業上の利用分野】本発明は集積回路の分析に関するものである。更に詳しくいえば、本発明は集積回路をバッファおよび高電圧範囲を持つ回路へインタフェースすることに関するものである。

【0002】【従来の技術】集積回路のトランジスタ密度および速度を高くるために、回路設計者は集積回路上に製造されるトランジスタの物理的寸法を小さくしている。トランジスタ密度を高くすると、集積回路の機能をより高くする。



【特許請求の範囲】

【請求項1】第1の電源電圧(VCC)とその電圧より高い第2の電源電圧(VCC\*)へ結合され、VCC\*とVCCの差にほぼ等しいバイアス信号を発生するバイアス発生器回路と、VCC\*にほぼ等しい電圧の振れを持つバッド・ノードへ結合され、バッド・ノードをVCC\*電圧の振れへ驱动し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する出力回路と、バッド・ノード上の電圧を検出し、前記バイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する入力回路と、

【請求項2】高い電圧の振れを持つバッド・ノードへ結合され、バッド・ノードを低い電圧へ驱动し、集積回路をバッド・ノードの高い電圧から分離する出力回路と、バッド・ノードへ結合され、バッド・ノードの高い電圧の振れから分離する出力回路と、

【請求項3】第1の電源電圧(VCC)とその電圧より高い第2の電源電圧(VCC\*)の差にほぼ等しいバイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する過程と、バッド・ノードをVCC\*電圧の振れへ驱动し、その間にバイアス信号を用いて集積回路をバッド・ノードのVCC\*電圧の振れから分離する過程と、

【請求項4】第1の電源電圧(VCC)で動作する集積回路をインタフェースする方法。

【0003】その結果、新しい世代のMOS集積回路は以前の世代のものより低い電源電圧で動作する。たとえば、新しい世代のMOS集積回路の多くは、以前の世代において半導体の5Vではなくて3.3Vの電源電圧で動作する。しかし、多くの用途においては、低い電源電圧で動作する集積回路はより高い電圧で動作する装置および

【0004】ここでも、集積回路のパッドのための典型的な從来の三形状入力/出力回路が示されている図1を参考する。出力データ・バスQ11、Q15のゲートをQ10、Q12のゲートへ結合される。出力可能なバーは号(OE)信号E B) 10 4がトランジスタQ11、Q15のゲートを制御するために結合される。出力可能なバーは号(OE)信号E B) 10 4がトランジスタQ11、Q15のゲートを制御するためには結合される。出力可能なバーは号(OE)信号E B) 10 4がトランジスタQ11、Q15のゲートを制御するためには結合される。出力回路はフルアルトランジスタQ11-9で構成される。トランジスタQ11のn井戸106が電源電圧VCCへ結合される。入力回路はフルアルトランジスタQ11-9とフルダウントランジスタQ11-9で構成される。

【0005】従来の回路が正しく動作するためには、電源電圧VCCは出力ハンド102における電圧よりも高い電圧VCCを有するバスその他の接続へ出力ハンド102における電圧は共通nド107における電圧よりも高い電圧の振れを有する。また、トランジスタQ11-9のドレインから、トランジスタQ11-6のn井戸まで、およびVCC電源電圧ノード100まで導通路が存在する。

【0006】低電圧集積回路を高電圧環境へインタフェースするための技術は、低電圧環境と高電圧環境の間の接続としてインタフェース・チップを使用することである。しかし、そのようなインターフェース・チップは低電圧集積回路との間の信頼のやり取りを大きく

【0007】低電圧集積回路を高電圧環境へインタフェースする他の技術は、低電圧集積回路に高電圧トランジスタを直接駆動することである。高電圧トランジスタは高電圧環境と直接インタフェースし、しかも集積回路に含まれている低電圧トランジスタを保護する。しかし、そのような解決技術は、より大きい高電圧トランジスタを製造するために集積回路の製造中に余分の処理工程を必要とする。余分の処理工程は製造コストを増大させ、取扱歩留りを低下させる。また、その解決技術は、低電圧を供給せねばならぬ。

電圧とインタフェースするために入力回路および出力回路を分離する際に用いられる。出力回路は $V_{CC}$ にほぼ等しい電圧の端子を有するバッド・ノードへ接続される。出力回路はバッド・ノードを $V_{CC}$ へ接続する。出力回路をバッド・ノードの $V_{CC}$ 電圧の端子から分離する。出力回路はバッド・ノードの高い電圧を検出し、集積回路を $V_{CC}$ 電圧の振幅から分離するのにハイアス信号を使用する。出力レバーペンダント回路はハイアス信号を検出し、出力データーノードから $V_{CC}$ 電圧の端子とバッドの $V_{CC}$ 電圧の振れとの間で交換する。

[図 10.12] この明細書では電圧トランジスタのみを示すが、実際には電圧トランジスタ回路を高電圧回路へインサートする。

の出力を示す。出力データ・ノード1.4 0はトランジスタQ 9とQ 3のゲートへ結合される。出力データと出力データ・ノード1.4 0が高いと、トランジスタQ 3はノード1.3 6を、駆動モードにあるトランジスタQ 3 0とQ 3 2を介して低く引き下げる。ノード1.3 6における低電圧は出力ブループラグトランジスタQ 2 3をデータ・ノード1.4 0と出力データ・ノード1.4 0をオンオフする。出力データと出力データ・ノード1.3 8が低いと、トランジスタQ 2 9はノード1.3 8を、駆動モードにあるトランジスタQ 3 0とQ 3 2を介して高く引き上げる。ノード1.3 8における高電圧は出力ブルーブラグトランジスタQ 2 0をデータ・ノード1.3 8を介して低く引き下げる。ノード1.6 1は出力ブループラグトランジスタQ 2 0とリチャネル・トランジスタQ 2 1で構成される。トランジスタQ 2 1はブルーブラントン

シスタンダードQ2を過電圧から保護する。トランジスタQ21のゲートはVCCへ結合される。トランジスタQ21のゲートがVCCにあるから、トランジスタQ21はノード12.2が約2V以上に上昇することを阻止する。その結果、出力ノード12.0と12.2における最高電圧は約3.3Vである（ノード12.0が別の装置により5.5Vへ駆動される場合）。トランジスタQ21のゲート駆動電圧におけるノード12.0とノード12.4の間の最高電圧は3.3V（ノード12.0が0.0Vの時）、または1.7Vである（ノード12.0が5.5Vの時）。ノード12.2とノード12.4の間の最高電圧は3.3Vである。

10.0.1.7.1 出力フルアップ部はドチャネル・トランジスタQ22と出力フルアルブロドチャネル・トランジスタQ23と、ドチャネル・トランジスタQ24とで構成される。トランジスタQ22のn井戸は、通常行われるVCCへ結合されるのでではなく、浮動する。n井戸1.2.6がVCCへ接続されるものとすると、出力ノード12.0における電圧が5.5Vへ向かって上昇するにつれて、トランジスタQ22のドレインとn井戸の間のp-n結合が大きな電流を遮断させる。

る負荷回路が、より高いVCC\* 電圧の回路また  
はバスへ駆動することを可能にする。この実施例においては、VCCは3.3Vにぼんやりと、VCC\* は5V  
に等しい。並列回路に含まれている全てのトランジスタ  
はVCC電源電圧で動作する構成されている。この  
回路はP bias部と、三状態制御を行う出力部と、入力  
部とで構成される。VCC電源電圧は集積回路のVCC  
電源電圧により供給される。VCC\*電源電圧は電  
圧増幅回路で発生できる。あるいは、V  
CC\* 電源電圧を集積回路のVCC\* 電源電圧ピンを介  
して供給できる。

図10-2-31 図3はPbias部を示す。このPbias部はP  
bias電圧を発生する。Pbias部はnチャネル・トランジ  
スタQ59、Q61、Q62、Q63、Q64と、pチ  
ャネル・トランジスタQ58、Q60とで構成される。

ノード120における地図マイナス1タイマーと駆動停止Qへ駆動される。

トランジスタQ5 8はPbias部のための電源である。トランジスタQ5 9、Q6 0、Q6 2、Q6 4は電源により制御される電流ミラーである。Phias部1 5 0の電圧は電源電圧VCCと電源電圧VCC\*の差にほぼ等しい。後で詳しく説明するように、Phias部1 5 0は入力部と出力部に含まれているトランジスタを保護するために用いられる。

[0024] 図4はトランジスタQ4 0～Q5 7で構成された出力部を示す。三状態モードはOE1 8 2とOE1 8 0により決定される。OE1 8 0はOE1 8 2の補数である。この回路が三状態モードにあると、OE1 8 2は低く、OE1 8 0は高い、出力部の集積回路のピンのための出力データを出力データノード1 6 2に受ける。出力部は出力ノードにおける出力データを保護する。

[0025] nチャネル・トランジスタQ5 6はフルダウントチャネル・トランジスタQ5 7を過電圧から保護する。トランジスタQ5 6のゲートはノード1 5 2におけるVCCへ結合される。出力ノード1 7 2における電圧がVに達したとしても、トランジスタQ5 6はノード1 5 8が約2V以上に上昇することを阻止する。その結果、出力ノード1 7 2とノード1 5 8間の最大電圧は約3Vである。出力ノード1 7 2とノード1 6 2間トランジスタQ5 6の最高ゲート電化物語圧は3.3V(出力ノード1 7 2が0Vの時)、または1.7V(出力ノード1 7 2が5Vの時)である。

[0026] 同様にして、pチャネル・トランジスタQ5 5はpチャネルフルアンドトランジスタQ5 4を過電圧から保護する。トランジスタQ5 5のゲートはPhiasヘ結合される。トランジスタQ5 5のゲートにおけるPbias電圧により、トランジスタQ5 4、Q5 6のゲート電化物語圧を3.3V以下に維持する。

[0027] トランジスタQ4 0～Q5 3は、出力データノード1 6 2におけるVCC電圧の減退と出力データノード1 7 2におけるVCC\*電圧との間の差レベル変換器として機能する。出力データノード1 6 2における高電圧はnチャネル・トランジスタQ4 5、Q5 2をトーンオンしてノード1 7 4と1 6 8を引き下げる。出力データノード1 6 2における低電圧はpチャネル・トランジスタQ4 6、Q4 7をトーンオンしてノード1 7 4と1 6 8を引き上げる。ノード1 7 4における高電圧はnチャネル・トランジスタQ4 4をトーンオンする。その結果として電流がpチャネル・トランジスタQ4 1とnチャネル・トランジスタQ4 2を流れれる。そうするとノード1 6 4における電圧が引き下がられる。ノード1 6 4における低電圧はpチャネル・トランジスタQ4 8をトーンオンさせる。

[0028] トランジスタQ4 8とQ5 4をトーンオフするために、トランジスタQ4 0とQ4 8はノード1 6

4と1 7 0における電圧を回復せしめる。トランジスタQ4 8がトーンオンすると、トランジスタQ4 8を流れる電流がトランジスタQ4 9、Q5 0、Q5 1に電流を流させる。そうすると、ノード1 6 8は高くなる。ノード1 6 8における高電圧はトランジスタQ5 7をトーンオフして出力ノード1 7 2を引き下げる。トランジスタQ4 8を流れる電流はノード1 7 0も高くなる。ノード1 7 0における高電圧レベルはトランジスタQ5 4をトーンオフする。

[0029] 図5は入力部を示す。この入力部はトランジスタQ5 6～Q7 1で構成される。入力はノード1 5 6と1 5 8から取り出される。pチャネル・トランジスタQ6 7、Q6 8と、nチャネル・トランジスタQ6 9、Q7 0は、ノード1 5 6、1 6 8におけるVCC電圧の減退との間にレベル変換器として機能する。nチャネル・トランジスタQ6 9はnチャネルフルアンドトランジスタQ7 0を保護する。トランジスタQ6 9のゲートはVCCへ結合される。pチャネル・トランジスタQ6 8はpチャネルフルアンドトランジスタQ6 7を保護する。トランジスタQ6 8のゲートはPinus 15 0へ結合される。

[0030] ノード1 5 4における電圧が低い時は、pチャネル・トランジスタQ6 5は入力データノード1 6 0における電圧を引き上げる。ノード1 5 4における電圧が高い時は、トランジスタQ6 6は入力データノード1 6 0における電圧を引き下げる。pチャネル・トランジスタQ7 1はノード1 5 4へ帰還を行うために結合される。トランジスタQ7 1は全VCC電圧の振れをノード1 5 4へ供給する。

[0031] 図1集積回路のための典型的な従来の入力/出力回路と、高電圧を受けた時に放電されやすいトランジスタを示す。

[図2] VCC電源電圧で動作する集積回路をより高い電圧環境へシフトするための電圧インシフエース回路の一実施例を示す。

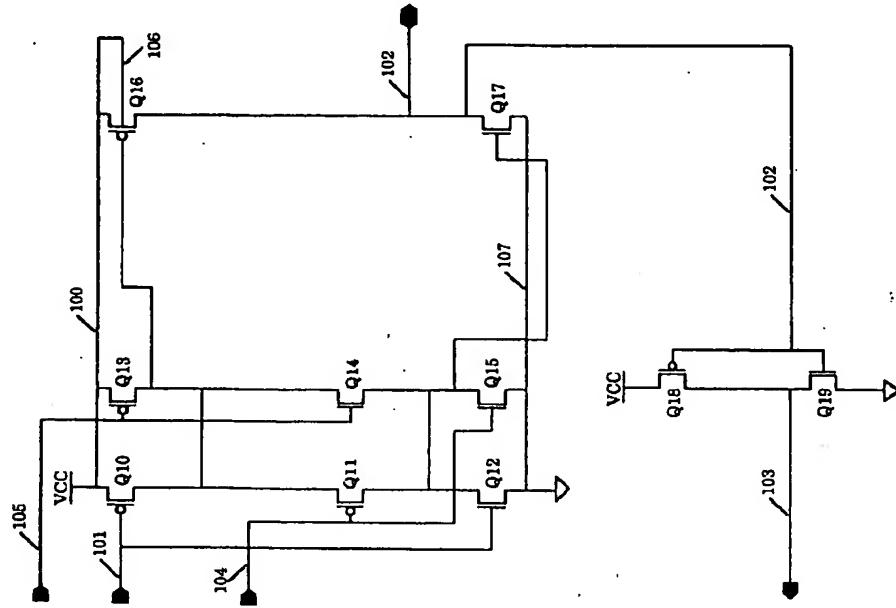
[図3] VCC電源電圧で動作する集積回路をより高いVCC\*電圧の回路またはバスを駆動できるようする電圧インシフエース回路の一実施例を示す。

[図4] VCC電源電圧で動作する集積回路がより高いVCC\*電圧の回路またはバスを駆動できるよう

にする電圧インシフエース回路の一実施例を示す。

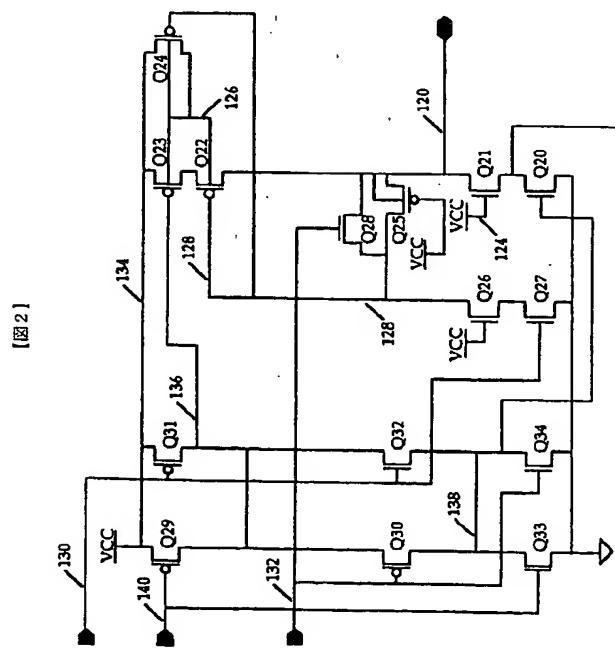
[図5] VCC電源電圧で動作する集積回路がより高いVCC\*電圧の振れの回路またはバスを駆動できるようする電圧インシフエース回路の更に別の実施例を示す。

[図1]



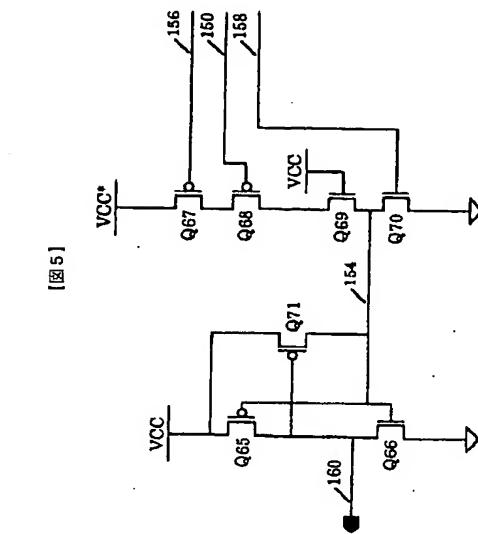
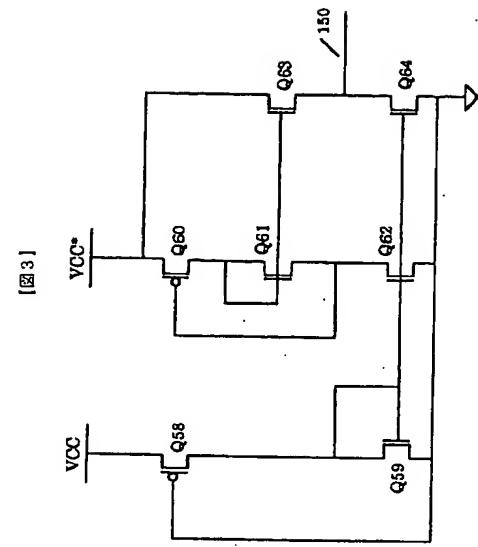
(7)

特開平06-216752

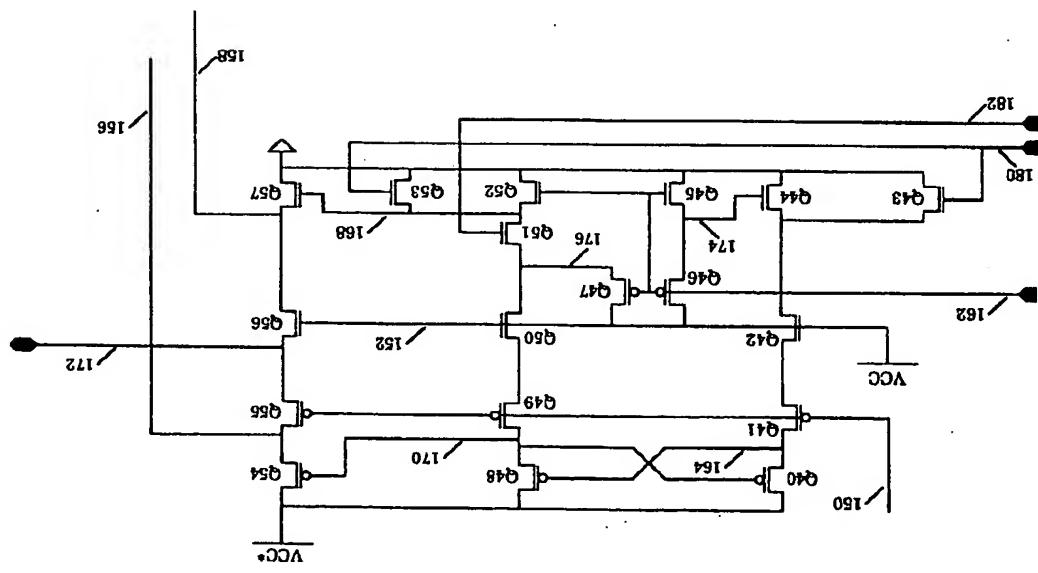


(8)

特開平06-216752



【図4】



フロントページの続き

(5) Int. Cl. 5  
H 03 K 19/003  
E 8941-5

技術表示箇所

F 1

出願記号 独内登録番号